

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058562

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

H01L 21/338
H01L 29/812
C30B 29/04
H01L 23/373
H01L 27/12

(21)Application number : 10-230747

(71)Applicant : NEC CORP

(22)Date of filing : 17.08.1998

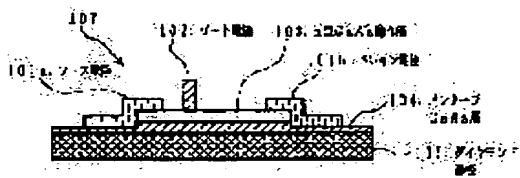
(72)Inventor : SAMOTO NORIHIKO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To complete a semiconductor thin film as well as suppress the rise in temperature in a gallium arsenic device, by providing a semiconductor element formed on the semiconductor thin film and a diamond substrate onto which the semiconductor thin film is adhered.

SOLUTION: This device is provided with a field effect transistor 107 formed on a diamond substrate 105 as well as an n-type GaAs working layer 103 as a channel layer where electrons run on an undoped GaAs layer 104. Further, it is provided with a source electrode 101a, a drain electrode 101b and a gate electrode 102. The diamond substrate 105 requires a thickness of 25-50 μm enough to hold the field effect transistor 107 by itself only. If a high-frequency integrated circuit including the field effect transistor is formed instead of a GaAs substrate on the diamond substrate, an impedance line same as that on the GaAs substrate is formed. Thus, the diamond substrate 105 having a high thermal conductivity is used instead of the GaAs substrate, so that the thermal resistance of a GaAs semiconductor device can be reduced and an integrated circuit to cope with high frequency be formed.



LEGAL STATUS

[Date of request for examination] 17.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3144387

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-58562
(P2000-58562A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)IntCl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 21/338		H 0 1 L 29/80	G 4 G 0 7 7
	29/812	C 3 0 B 29/04	W 5 F 0 3 6
C 3 0 B 29/04		H 0 1 L 27/12	B 5 F 1 0 2
H 0 1 L 23/373		23/36	M
	27/12		

審査請求 有 請求項の数 8 O L (全 7 頁)

(21)出願番号 特願平10-230747

(22)出願日 平成10年8月17日(1998.8.17)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 佐本 典彦

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100070530

弁理士 畑 泰之

Fターム(参考) 4G077 AA03 BE46 ED06 HA06

5F036 AA01 BB03 BB05 BB08 BD01
BD16

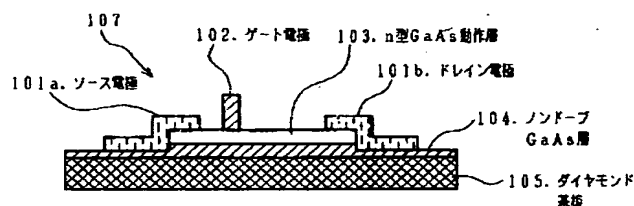
5F102 FA10 GB01 GC01 GD01 GJ05
GK05 GL05 GR12 HC01 HC15
HC19 HC21

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】 半導体素子を薄膜化することにより、熱抵抗を低減して熱伝導を改善し、更に、ダイヤモンド基板上に被着させることにより、熱伝導を改善し、放熱効果を大ならしめた高出力の砒化ガリウム電界効果トランジスタに好適な半導体装置を提供する。

【解決手段】 半絶縁性GaAs基板上に分子線エピタキシャル法により半導体素子領域を成膜する際に、この半導体素子領域と半絶縁性GaAs基板の間にAlAs層を挿入しておく。このAlAs層を介して形成された半導体素子をエピタキシャルリフトオフにより半絶縁性GaAs基板から分離し、ダイヤモンド基板上に被着形成する。この結果、半導体素子を構成するGaAs厚さは薄く、且つ熱伝導度のよいダイヤモンド基板上に被着させられることによって、ダイヤモンド基板も含んだ半導体素子の熱抵抗は低減し、放熱効果が大きくなり、素子性能が向上する。



(2)

【特許請求の範囲】

【請求項1】 半導体薄膜上に形成した半導体素子と、この半導体薄膜を被着せしめたダイヤモンド基板とで構成したことを特徴とする半導体装置。

【請求項2】 前記ダイヤモンド基板には、その裏面に金属プレーテッドヒートシンクが設けられていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記金属プレーテッドヒートシンクは、フィン付き金属プレーテッドヒートシンクであることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記半導体薄膜は、電界効果トランジスタの動作層となる層を含むことを特徴とする請求項1乃至3の何れかに記載の半導体装置。

【請求項5】 半導体基板上に積層した半導体薄膜上に半導体素子を形成し、この半導体薄膜を前記半導体基板から分離し、この分離した半導体薄膜をダイヤモンド基板上に被着せしめることを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上に積層した半導体薄膜を前記半導体基板から分離し、この分離した半導体薄膜をダイヤモンド基板上に被着せしめ、この被着した半導体薄膜上に半導体素子を形成することを特徴とする半導体装置の製造方法。

【請求項7】 前記半導体薄膜をエピタキシャルリフトオフにより前記半導体基板から分離したことを特徴とする請求項5又は6記載の半導体装置の製造方法。

【請求項8】 前記ダイヤモンド基板には、その裏面に金属プレーテッドヒートシンクが設けられていることを特徴とする請求項5乃至7の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に係わり、特に、高出力の砒化ガリウム電界効果トランジスタに好適な半導体装置とその製造方法に関する。

【0002】

【従来の技術】従来より、高出力の半導体装置では、動作時に多量の熱が発生し、この熱のために出力低下や信頼性の劣化をもたらし、場合によっては、素子破壊が発

$$\theta = (k_1 \cdot \theta_1 + k_2 \cdot \theta_2) / (k_1 + k_2) \quad \dots (3)$$

与えられる。 $\theta_1 = 100^\circ\text{C}$ 、 $\theta_2 = 40^\circ\text{C}$ 、GaAs基板の熱伝導度 $k_1 = 0.46\text{ W/cm}^\circ\text{C}$ 、PHS（金と仮定して）の熱伝導度 $k_2 = 3.2\text{ W/cm}^\circ\text{C}$ の条件下で、(3)式によれば、 $\theta = 47.5^\circ\text{C}$ となる。

【0004】これに対し、特開平5-166849号公報のような構造では、次のように考えられる。GaAsチャンネル側面積 A_1 は変わらずに、GaAs基板とPHS

$$Q_2 = k_2 (\theta - \theta_2) (2 \cdot A_1) / \delta_2 \quad \dots (5)$$

となる。これも定常状態を考えると $Q_1 = Q_2$ となるか

*生することがあった。このため、放熱性を少しでも良くすることが素子性能を向上させるために必要である。この放熱を良くする方法として、例えば、特開平5-166849号公報「半導体素子」記載の構造が知られている。これは、図9に示すように、n型の動作層601、ソース電極602a、ドレイン電極602b、ゲート電極603を表面に有し、厚さ $30\mu\text{m}$ に研磨された半絶縁性の砒化ガリウム(GaAs)基板600の裏面に動作層601直下を含むように、幅 $2\mu\text{m}$ 、深さ $2\mu\text{m}$ の溝を多数形成して裏面の表面積を増大させ、この裏面に $30\mu\text{m}$ 厚のAuめっきプレーテッドヒートシンク(Plated Heat Sink以下、PHSと略す)を施した構造にすることによって放熱効果を高めている。

【0003】しかし、上記したものは、以下のような問題があった。即ち、溝を形成することで、GaAs基板とPHSとの接触面積を増大させて、熱伝導度を増加させて、放熱効果の増大を期待しているが、GaAs基板とPHS界面の温度は、溝形成前後でほとんど変わらないという問題があった。その理由は、GaAs基板の厚さが溝形成前後でほとんど変わっていないためである。GaAsチャンネルの面積を A_1 とし、ここでの発熱がそのままPHS側に伝播すると仮定すると、定常状態での単位時間当たりの熱流束 Q_1 は、熱伝導度を k_1 、GaAs基板の厚さを δ_1 、発熱部の温度を θ_1 、GaAs基板とPHS界面での温度を θ とすると、

$$Q_1 = k_1 (\theta_1 - \theta) A_1 / \delta_1 \quad \dots (1)$$

また、PHSでの単位時間当たりの熱流束 Q_2 は、熱伝導度 k_2 、PHSの厚さを δ_2 、PHSと大気接触部の温度を θ_2 とすると、

$$Q_2 = k_2 (\theta - \theta_2) A_2 / \delta_2 \quad \dots (2)$$

熱抵抗 R は、熱伝導度を k 、物体の長さを δ 、断面積を A とすると、 $R = \delta / kA$ であらわされるから、

$$Q_1 = (\theta_1 - \theta) / R_1 \quad \dots (1)'$$

$$Q_2 = (\theta - \theta_2) / R_2 \quad \dots (2)'$$

となる。定常状態での熱の流れを考えると、 $Q_1 = Q_2$ であり、GaAs基板とPHSの厚さおよび面積が同じであるとする、GaAs基板とPHS界面の温度 θ は、熱伝導度と温度の関数となり、

※Sの接触面積が2倍($2A_1$)になったとすると、対数平均面積換算による平面熱伝導への変換を用いて近似すると、

$$Q_1 = k_1 (\theta_1 - \theta) A_m / \delta_1 \quad \dots (4)$$

ここで、 $A_m = A_1 / \ln 2 \approx 1.44A_1$

PHS側は、放熱面積が2倍になったままだと仮定して、

$$Q_2 = k_2 (\theta - \theta_2) (2 \cdot A_1) / \delta_2 \quad \dots (5)$$

ら

(3)

$$\theta = (1.44k_1 \cdot \theta_1 + 2k_2 \cdot \theta_2) / (1.44k_1 + 2k_2) \quad \dots \quad (6)$$

となり、 $\theta = 45.6^\circ\text{C}$ となる。この結果からわかるように、GaAs基板とPHS界面の温度は、GaAs基板とPHS界面の面積が倍になったとしても、 2°C 程度しか温度低下がないことになる。また、この場合のGaAs基板内部での温度低減率は、 $1.81^\circ\text{C}/\mu\text{m}$ である。

【0005】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、特に、半導体を形成する半導体薄膜を薄くすると共に、GaAsデバイス部分の温度上昇を抑制した新規な半導体装置とその製造方法を提供するものである。

【0006】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、本発明に係わる半導体装置の第1態様は、半導体薄膜上に形成した半導体素子と、この半導体薄膜を被着せしめたダイヤモンド基板とで構成したことを特徴とするものであり、又、第2態様は、前記ダイヤモンド基板には、その裏面に金属プレーテッドヒートシンクが設けられていることを特徴とするものであり、又、第3態様は、前記金属プレーテッドヒートシンクは、フィン付き金属プレーテッドヒートシンクであることを特徴とするものであり、又、第4態様は、前記半導体薄膜は、電界効果トランジスタの動作層となる層を含むことを特徴とするものである。

【0007】又、本発明に係わる半導体装置の製造方法*

$$\theta = (k_1\theta_1/\delta_1 + k_2\theta_2/\delta_2) / (k_1/\delta_1 + k_2/\delta_2) \quad \dots \quad (7)$$

で与えられるから、 $\theta_1 = 100^\circ\text{C}$ 、 $\theta_2 = 40^\circ\text{C}$ とすると、 $\theta = 75.9^\circ\text{C}$ となる。したがって、GaAs基板内での温度低減率は、 $12.05^\circ\text{C}/\mu\text{m}$ であり、従来に比べ、 $10^\circ\text{C}/\mu\text{m}$ 以上の温度低減効果が見込まれる。

【0010】

【実施例】以下に、本発明に係わる半導体装置とその製造方法の具体例を図面を参照しながら詳細に説明する。

(第1の具体例)図1は、本発明に係わる半導体装置の具体例の構造を示す図であって、これらの図には、半導体基板上に積層された半導体層から分離した半導体薄膜103、104と、この半導体薄膜103、104を被着せしめたダイヤモンド基板105と、前記半導体薄膜103、104上に形成した半導体素子107とで構成した半導体装置が示されている。

【0011】以下に、本発明を更に詳細に説明する。図1を参照すると、ダイヤモンド基板105上には、電界効果トランジスタ107が形成されている。電界効果トランジスタ107は、ノンドープGaAs層104上に

*の第1態様は、半導体基板上に積層した半導体薄膜上に半導体素子を形成し、この半導体薄膜を前記半導体基板から分離し、この分離した半導体薄膜をダイヤモンド基板上に被着せしめることを特徴とするものであり、又、第2態様は、半導体基板上に積層した半導体薄膜を前記半導体基板から分離し、この分離した半導体薄膜をダイヤモンド基板上に被着せしめ、この被着した半導体薄膜上に半導体素子を形成することを特徴とするものであり、又、第3態様は、前記半導体薄膜をエピタキシャルリフトオフにより前記半導体基板から分離したことを特徴とするものであり、又、第4態様は、前記ダイヤモンド基板には、その裏面に金属プレーテッドヒートシンクが設けられていることを特徴とするものである。

【0008】

【発明の実施の形態】本発明に係わる半導体装置は、半導体基板上に積層された半導体層から分離した半導体薄膜と、この半導体薄膜を被着せしめたダイヤモンド基板と、前記半導体薄膜上に形成した半導体素子とで構成したものである。

【0009】このように構成した半導体装置において、半導体基板であるGaAs基板の厚さ δ_1 を $2\mu\text{m}$ 、ダイヤモンド基板厚さ δ_2 を $30\mu\text{m}$ 、そして、これらの面積が共に等しいと仮定し、ダイヤモンドの熱伝導度 k_2 を $4\text{W}/\text{cm}^\circ\text{C}$ とすると、(1)式と(2)式より、 $Q_1 = Q_2$ として、GaAsとダイヤモンド界面の温度 θ は、

電子が走行するチャネル層としてn型GaAs動作層103を有し、ソース電極101aおよびドレイン電極101bとゲート電極102を具備している。ダイヤモンド基板105の厚さは、これのみで、電界効果トランジスタ107を保持するとすれば、厚さとして $25\mu\text{m}$ から $50\mu\text{m}$ は必要である。あるいは、電界効果トランジスタ107を含む高周波集積回路がGaAs基板の代わりにダイヤモンド基板上に形成されることを想定するならば、GaAs基板上と同じインピーダンス線路を形成するように(インピーダンスの正確な値は、配線幅 w と基板厚さ h に依存するが)、ダイヤモンド基板を大体40%程度薄くすればよい。これは、ダイヤモンド基板105の比誘電率が、5~8(値は作製方法によって異なる)であり、GaAsの比誘電率13.1にくらべ、小さいためである。

【0012】図1で、n型GaAs動作層103の厚さを $0.10\mu\text{m}$ 、ノンドープGaAs層104の厚さを $1.9\mu\text{m}$ 、ダイヤモンド基板105の厚さを $30\mu\text{m}$ と仮定すると、ダイヤモンド基板105とノンドープG

(4)

5

aAs層104の界面での温度 θ は、(7)式で与えられる。したがって、n型GaAs動作層103の温度を150℃、ダイヤモンド基板105が、30℃で外気と接していると仮定すると、界面温度 θ は、47.5℃となる。

【0013】(第2の具体例)図2乃至図4を参照して、本発明の半導体素子の製造方法について説明する。まず、図2(a)に示すように半絶縁性GaAs基板200上に、ノンドープのGaAs層201(例えば厚さ1 μ m)を分子線エピタキシャル装置により成膜した後、ノンドープのAlAs層202(例えば、厚さ2nm)をGaAs層201の上に成膜し、ついで、AlAs層202上に、ノンドープのGaAs層203(例えば厚さ100nm)を膜形成する。ついで、この層203の上にn型のGaAs動作層204(例えば厚さ50nm)を成膜する。次に、図2(b)に示すように、電界効果トランジスタ(以下FETという)として動作させる部分を選択するため、不必要な部分のn型GaAs動作層204をドライエッチングにより除去する。ついで、図2(c)に示すように、ソース電極205aおよびドレイン電極205bを形成し、熱処理によりオーム性接触を形成する。ついで、ゲート電極206を形成する。次に、図3(a)に示すように、エピタキシャルリフトしたい領域の周辺をレジストあるいは酸化膜をマスクとしてドライエッチング(例えばガスは塩素)によりダイシングし、チップCを形成する。ついで、図3

(b)に示すように、ワックス様膜209(例えば、アピエゾン ダブリュー:Apiezon Wを有機溶剤(例えば、トリクロロエチレン trichloroethylene)で希釈したもの)を電極形成面側に塗布し、全体をふっ酸(HF)水溶液210の中に浸漬する。そして、図3(c)に示すように、HF水溶液210中でAlAs層202が溶解して半絶縁性GaAs基板200から分離したFET207をダイヤモンド基板(例えば、厚さ100 μ m)211に被着させて、HF水溶液210中から引き上げた後、図4に示すように、ワックス様膜209を有機洗浄(例えば、トリクロロエチレン trichloroethylene)を用いて除去し、本発明の半導体装置を完成させる。

【0014】このように、この第2の具体例では、半導体基板200上に積層した半導体薄膜203、204上に半導体素子208を形成し、この半導体薄膜203、204を前記半導体基板200から分離し、この分離した半導体薄膜203、204をダイヤモンド基板211上に被着せしめるように製造するものである。

【0015】(第3の具体例)図5は、本発明の第3の具体例を示す図である。図5に示す高出力GaAsFETの構造は、エピタキシャルリフトオフにより半絶縁性GaAs基板から分離された電界効果トランジスタ部分301が、裏面にPHSとなる金属層(例えば金、厚さ

6

30 μ m)306が形成されたダイヤモンド基板305上に形成被着したものである。

【0016】(第4の具体例)図6は、本発明の第4の具体例を示す図である。図6に示す高出力GaAsFETの構造は、PHSがフィン付きのPHS406となっており、PHS406の表面積を増加させて、放熱効果を高めようとする構造である。

【0017】(第5の具体例)図7、8は、本発明の半導体素子の他の製造方法を説明する図である。図7

(a)に示すように半絶縁性GaAs基板500上に、ノンドープのGaAs層501(例えば厚さ1 μ m)を分子線エピタキシャル装置により成膜した後、ノンドープのAlAs層502(例えば、厚さ2nm)をGaAs層501の上に成膜し、ついで、AlAs層502上に、ノンドープのGaAs層503(例えば厚さ100nm)を膜を形成し、更に、ついで、この層503の上にn型のGaAs動作層504(例えば厚さ50nm)を成膜する。次に、図7(b)に示すように、基板全面にワックス様膜509(例えば、アピエゾン ダブリュー:Apiezon Wを有機溶剤(例えば、トリクロロエチレン trichloroethylene)で希釈したもの)を塗布した半絶縁性GaAs基板500を、ふっ酸(HF)水溶液510の中に浸漬し、HF水溶液510中で半絶縁性GaAs基板500からノンドープのGaAs層503とn型GaAs動作層504とを分離する。

【0018】次に、図7(c)に示すように、HF水溶液510中で半絶縁性GaAs基板500から分離したノンドープのGaAs層503とn型GaAs動作層504とをダイヤモンド基板(例えば、厚さ100 μ m)511に被着させて、HF水溶液510中から引き上げた後、図8(a)に示すように、ワックス様膜509を有機洗浄(例えば、トリクロロエチレン trichloroethylene)を用いて除去する。そして、図8(b)に示すように、電界効果トランジスタとして動作させる部分を選択するため、不必要な部分のn型GaAs動作層504とノンドープGaAs層503とをドライエッチングによりエッチングし、ついで、図8

(c)に示すように、ソース電極505aおよびドレイン電極505bを形成し、熱処理によりオーム性接触を形成し、最後に、ゲート電極506を形成し、本発明の半導体装置であるFET507を形成する。

【0019】このように、この第5の具体例では、半導体基板500上に積層した半導体薄膜503、504を前記半導体基板500から分離し、この分離した半導体薄膜503、504をダイヤモンド基板511上に被着せしめ、この被着した半導体薄膜503、504上に半導体素子を形成するように製造するものである。

【0020】

【発明の効果】本発明に係わる半導体装置とその製造方

(5)

7

法は、上述のように構成したので、以下のような効果を奏する。

(1) GaAs半導体装置の熱抵抗を低くすることが可能である。その理由は、熱伝導度の良いダイヤモンド基板をGaAs基板の代わりに用いるからである。

【0021】(2) 高周波対応の集積回路素子を作ることができる。その理由は、ダイヤモンド基板の絶縁性が良いためである。

【図面の簡単な説明】

【図1】本発明に係わる半導体素子の第1の具体例を示す断面図である。

【図2】本発明に係わる半導体素子の第2の具体例の製造工程図である。

【図3】図2に続く製造工程図である。

【図4】図3に続く製造工程図である。

【図5】本発明の第3の具体例を説明する断面図である。

【図6】本発明の第4の具体例を説明する断面図である。

【図7】本発明の第5の具体例を説明する製造工程図である。

【図8】図7に続く製造工程図である。

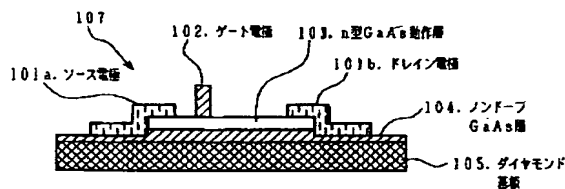
【図9】従来技術を示す断面図である。

【符号の説明】

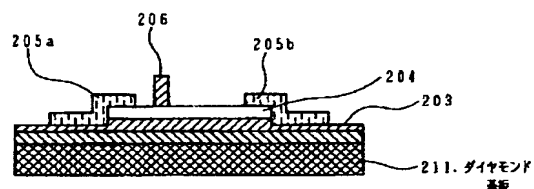
100 200 500 半絶縁性GaAs基板
101a ソース電極
101b ドレイン電極

8
102 ゲート電極
103 n型GaAs動作層
104 203 304 404 503 ノンドープGaAs層
105 211 305 405 511 ダイヤモンド基板
201 501 ノンドープのバッファGaAs層
202 502 ノンドープのAlAs層
204 303 403 504 n型GaAs動作層
205a 301a 401a 505a ソース電極
205b 301b 401b 505b ドレイン電極
206 302 402 506 ゲート電極
107 207 507 電界効果トランジスタ
209 509 ワックス様膜
210 510 ふっ酸水溶液
306 プレーテッドヒートシンク(PHS)
406 フィン付きプレーテッドヒートシンク(PHS)
600 半絶縁性基板
601 n型動作層
602a ソース電極
602b ドレイン電極
603 ゲート電極
607 プレーテッドヒートシンク(PHS)

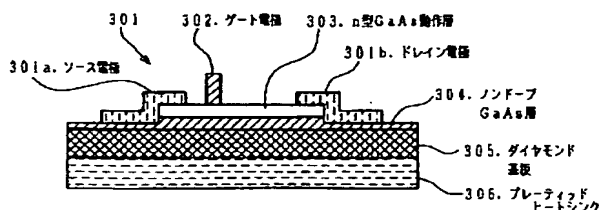
【図1】



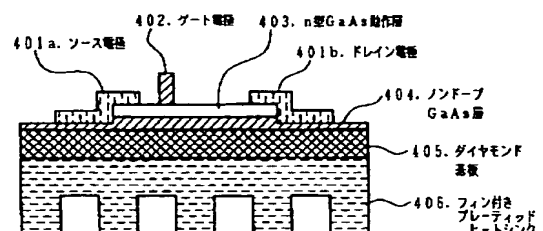
【図4】



【図5】

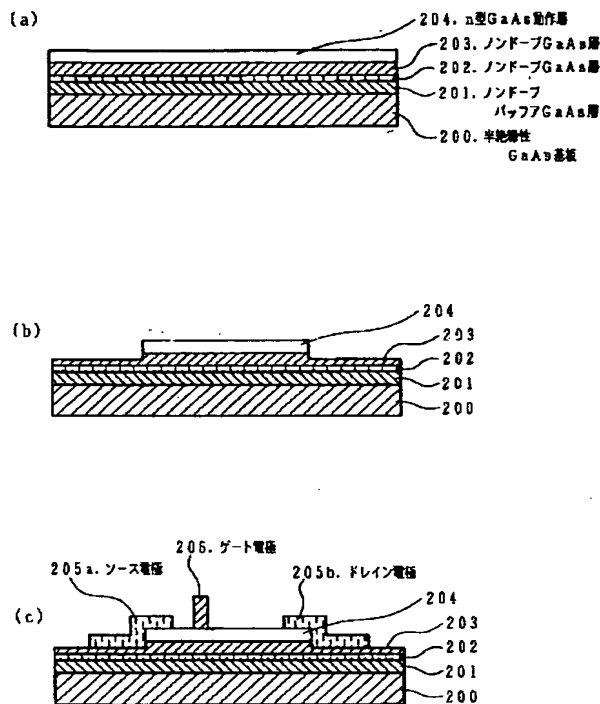


【図6】

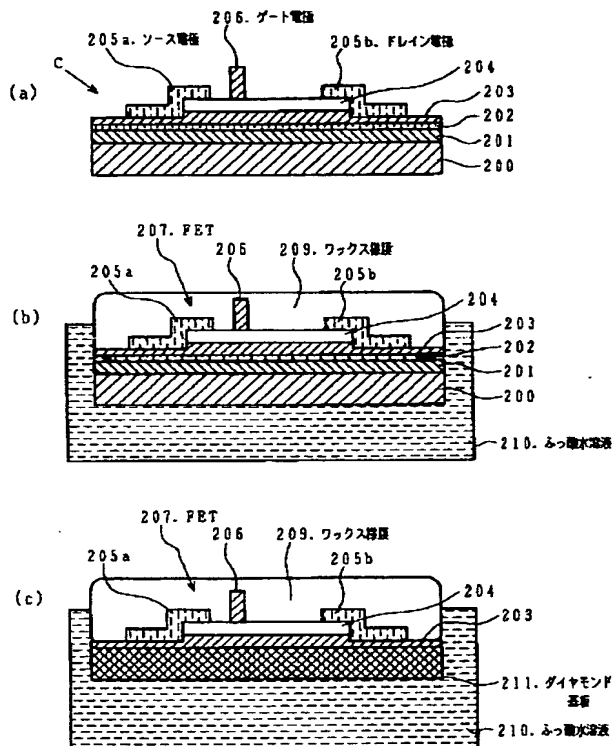


(6)

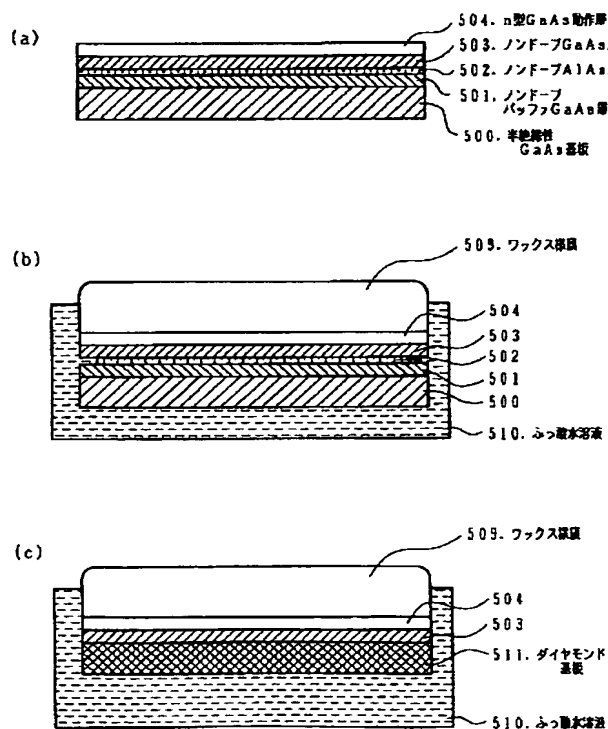
【図2】



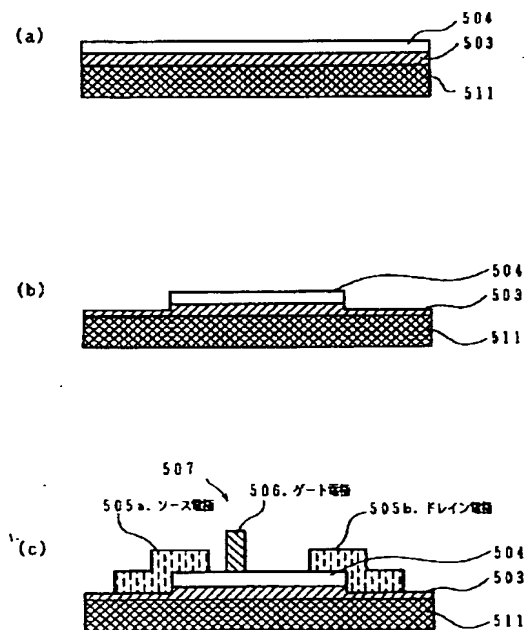
【図3】



【図7】



【図8】



(7)

【図9】

